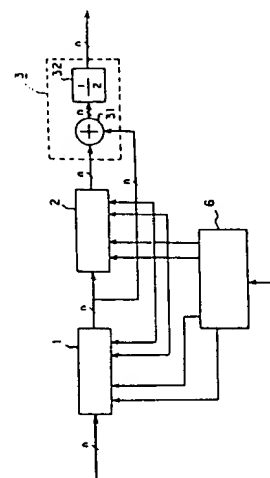


(54) DOUBLE-SPEED CONVERSION CIRCUIT

(11) 4-145785 (A) (43) 19.5.1992 (19) JP
 (21) Appl. No. 2-270179 (22) 8.10.1990
 (71) MITSUBISHI ELECTRIC CORP (72) MIYUKI TACHIBANA
 (51) Int. Cl.⁵ H04N7/01

PURPOSE: To simplify a circuit by calculating the average value of data from an input line memory and the data from a delay line memory and alternately outputting an original video signal and a signal for interpolation.

CONSTITUTION: The data of the video signal stored in an input line memory 1 is read twice by read out with a double-speed clock, and the output of a line, 2 and the average value of the second video signal are calculated to be outputted by a line memory 2 for delay in an arithmetic part 3. In the memory 1, the second video signal is outputted, simultaneously, the storage operation of the video signal of the next line is performed, and the first readout data of the next line and the second readout data of the former line are calculated by the arithmetic part 3, and the average value is outputted. Thus, the original video signal and the video signal for interpolation can be alternately outputted from the arithmetic part 3, and the circuit configuration can be simplified.



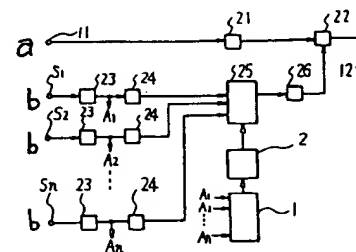
6: control signal generation part

(54) VIDEO SOUND TRANSMITTER

(11) 4-145786 (A) (43) 19.5.1992 (19) JP
 (21) Appl. No. 2-269801 (22) 8.10.1990
 (71) NEC CORP (72) FUMIO HAMADA
 (51) Int. Cl.⁵ H04N7/08, H04N7/13

PURPOSE: To realize satisfactory transmission of voice by controlling the bit allocation of plural voices by means of an input voice level detection circuit and a bit control circuit.

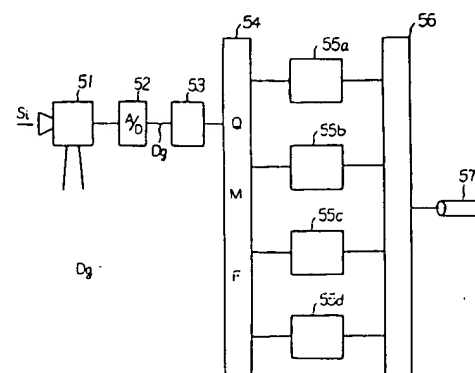
CONSTITUTION: The levels of voice signals to voice input terminals S_1 to S_n are detected while output levels A_1 to A_n of a low-pass filter 23 is inputted to an input level detection circuit 1, and information is transmitted to a bit number control circuit 2. The circuit 2 controls the number of bits of the input S_1 so as to be increased while utilizing the allocation bit of input S_2 when there is preliminarily determined priority, for example, the priority in the voice input of the terminal S_1 . When the priority is not set, the bits of all channels except input S_2 are added. The allocation is performed by a parallel/serial conversion circuit 25 through the control of the circuit 2. Thus, the satisfactory noise can be transferred by reducing quantization noises in a channel where the number of bits is increased. &Z11: video input terminal, 12: output terminal, S_1 : voice input terminal, a: video input, b: voice input

**(54) PICTURE PROCESSING METHOD**

(11) 4-145787 (A) (43) 19.5.1992 (19) JP
 (21) Appl. No. 2-270271 (22) 8.10.1990
 (71) OKI ELECTRIC IND CO LTD (72) MITSUO TSUJIKADO
 (51) Int. Cl.⁵ H04N7/13, G06F15/66, H04N11/04

PURPOSE: To reduce hardware by performing encoding while shifting the range of a picture signal in the range of the negative value from -2^{n-1} to 2^{n-1} .

CONSTITUTION: An input original picture, converted into a digital picture signal where 8-bit quantization sampling is performed by an A/D converter 52, takes a luminance signal Y:1 to 256, a color difference signal B-Y, R-Y:1 to 256. This signal is converted into the range of luminance signal Y:-127 to 126, color difference signals B-Y, R-Y; -127 to 126. The output of a converter 53 is divided into four bands by a QMF54, the picture signal for each band is encoded by encoders 55a to 55d and transferred to a transfer path 57 after multiplied by a multiplexer 56. Thus, the hardware is reduced.



Dg: digital picture signal

Best Available Copy

⑤ Int. Cl.⁵H 04 N 7/08
7/13

識別記号

Z
Z

庁内整理番号

8838-5C
6957-5C

⑬ 公開 平成4年(1992)5月19日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 映像音声伝送装置

⑰ 特 願 平2-269801

⑱ 出 願 平2(1990)10月8日

⑲ 発 明 者 濱 田 文 男 東京都港区芝5丁目7番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

映像音声伝送装置

特 許 認 求 の 範 囲

映像信号と複数の音声信号をディジタル変換した多値化音声信号とを合成して伝送する映像音声伝送装置において、前記複数の音声信号のそれぞれのアナログ入力レベルを検出するレベル検出回路と、このレベル検出回路の情報に対応して、ディジタル変換された多値化音声信号の各音声チャンネルに対する割当ビット数を制御するビット数制御回路とを有することを特徴とする映像音声伝送装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は映像音声伝送装置に関し、特に複数の音声を送信する映像音声伝送装置に関する。

〔従来の技術〕

通常、複数の音声を映像とともに伝送する方法としては、マルチキャリア方式が知られている。マルチキャリア方式は、音声1チャンネルごとに、1個のキャリア信号を使用し、このキャリア信号を音声信号によりFM変調する方法である。また、近年ディジタル回路の普及にともないA/DおよびD/A変換素子が安価に入手できるので、音声信号をディジタル信号に変換して伝送する方法が使われるようになった。

従来、ディジタル回路を利用した映像音声伝送装置としては、第2図に示すように、映像信号系統として低域通過フィルタ21、合成回路22、複数の音声信号系統として低域通過フィルタ23、A/D変換回路24が例えば3系統あり、さらにパラレル/シリアル変換回路25、変調回路26から構成されている。

この従来例の動作として、音声入力端子S₁、S₂、～S_nから入力された音声信号は、低域通過フィルタ23で帯域制限され、A/D変換回路

24でデジタル信号に変換される。さらにパラレル／シリアル変換回路25でシリアルデータに変換され、変調回路26で変調されたデジタル多重化音声信号が合成回路24において映像信号と合成されて出力端子12から出力される。ここで変調回路26の変調形式は通常映像信号帯域の上部帯域にデジタル多重化音声信号を配位したいわゆるDAV (DATA ABOVE VIDEO) 伝送装置の形式であった。このデジタル多重化音声信号は、例えば音声6チャンネル、サンプリング周波数32kHz、伝送周波数帯域2.048MBとすると、音声1チャンネル当り10ビット程度が割り当てられる。

〔発明が解決しようとする課題〕

上述した従来の映像音声伝送装置は、音声入力数が増えるとデジタル多重化信号の1チャンネル当りの割当てビット数が減少し、従って量子化ノイズが増大するので、S/Nの悪い音声伝送される欠点がある。

〔課題を解決するための手段〕

出される。例えば S_2 の音声レベルがゼロの場合に、入力レベル検出回路1は入力 A_2 でゼロレベルが認知され、ビット数制御回路2に情報が伝達される。ビット数制御回路2はあらかじめ決められた優先度、例えば、音声入力端子 S_1 の音声入力に優先度がある場合に、音声入力 S_2 の割り当てビットを利用して音声入力 S_1 のビット数を増す制御信号を送出する。優先度が設定されていない場合には、音声入力 S_2 を除く全チャンネルにビットが付加される。この各音声チャンネルへのビット割り当ては、パラレル／シリアル変換回路25がビット数制御回路2の制御で行う。ビットが増加したチャンネルは量子化ノイズが減少して良好な音声を伝送することができる。なお、A/D変換回路24はオーバーサンプリングをしている場合に、不要なビットをパラレル／シリアル変換回路25で切り捨て伝送周波数帯域内に収まるように設定される。

〔発明の効果〕

以上説明したように本発明は入力音声レベル検

本発明の映像音声伝送装置は、映像信号と複数の音声信号をデジタル変換した多重化音声信号とを合成して伝送する映像音声伝送装置において、前記複数の音声信号のそれぞれのアナログ入力レベルを検出するレベル検出回路と、このレベル検出回路の情報に対応して、デジタル変換された多重化音声信号の各音声チャンネルに対する割り当てビット数を制御するビット数制御回路とを有する。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図であり、第2図の従来例と同じ記号は同じ構成と機能を有している。すなわち本実施例では、入力レベル検出回路1と、ビット数制御回路2とを追加している。

次に本実施例の動作を説明する。音声入力端子 $S_1 \sim S_n$ に入力した音声信号は、各低域通過フィルタ23の出力レベル $A_1 \sim A_n$ が入力レベル検出回路1に入力されて、それぞれのレベルが検

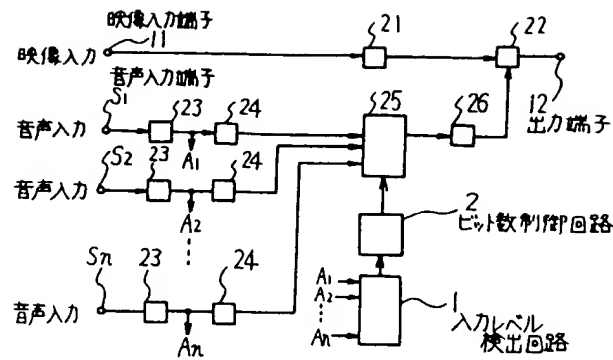
出回路とビット制御回路とを追加して、パラレル／シリアル変換回路を制御することにより、複数の音声のビット割り当て数を制御しているので、限られた伝送周波数帯域内を有効に利用することができる。したがって所望の音声を選択して良好な音声を伝送することができる効果がある。

図面の簡単な説明

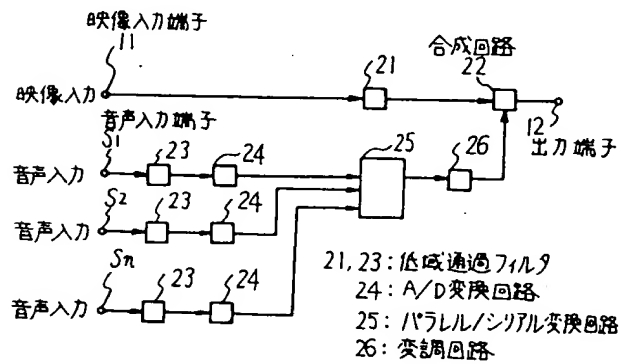
第1図は本発明の一実施例を示すブロック図、第2図は従来の映像音声伝送装置のブロック図である。

1…入力レベル検出回路、2…ビット制御回路、 $S_1, S_2, \dots S_n$ …音声入力端子、11…映像入力端子、12…出力端子、21, 23…低域通過フィルタ、22…合成回路、24…A/D変換回路、25…パラレル／シリアル変換回路、26…変調回路。

代理人 井理士 内 原 晋



第1図



第2図

Best Available Copy